**PHIẾU GHI KẾT QUẢ QUAN SÁT**

Ngày:20/12/2022

Họ và tên sinh viên: Lớp:

Mã sinh viên :

**PROJECT1: ẢNH HƯỞNG CỦA KÍCH THƯỚC CACHE ĐẾN HIỆU SUẤT HỆ THỐNG**

**Nhiệm vụ của sinh viên:**

* Thiết lập cấu hình của hệ thống với các đặc tính kiến trúc sau:
* Số lượng bộ xử lý - Processors in SMP = 1.
* Giao thức liên kết cache - Cache coherence protocol = MESI.
* Phương pháp phân xử Bus - Scheme for bus arbitr ation = Random.
* Kích thước word - Word wide (bits) = 16.
* Số word trong một block - Words by block = 16 (block size = 32 bytes).
* Số block trong bộ nhớ chính - Blocks in main memory = 8192. Kích thước bộ nhớ chính bằng bao nhiêu? Kích thước bộ nhớ là 256KB
* Ánh xạ - Mapping = Fully-Associative.
* Chính sách thay thế - Replacement policy = LRU.
* Thiết lập cache với kích thước như sau (số block trong cache): 1, 2, 4, 8, 16, 32, 64, 128, 256 và 512.
* Với mỗi thông số trên, thiết lập các memory traces: *Hydro*, *Nasa7*, *Cexp*, *Mdljd*, *Ear*, *Comp*, *Wave*, *Swm* và *Ucomp.* Chạy và ghi lại các miss rate.
* Thực hiện bảng thống kê dữ liệu, vẽ biểu đồ thể hiện mối quan hệ giữa miss rate và cache size cho các memory traces và trả lời câu hỏi sau:
* Miss rate như thế nào khi kích thước cache tăng?
* Liệu việc tăng kích thước cache có giúp cải thiện hiệu suất của hệ thống không?

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Cache size** | **Hydro** | **Nasa7** | **Cexp** | **Mdljd** | **Ear** | **Comp** | **Wave** | **Swm** | **Ucomp** |
| 1 | 66.197% | 66.577% | 52.920% | 63.055% | 59.947% | 65.689% | 66.355% | 66.870% | 66.045% |
| 2 | 42.360% | 41.024% | 43.900% | 42.565% | 42.144% | 37.797% | 42.136% | 41.380% | 38.236% |
| 4 | 32.111% | 29.650% | 43.145% | 25.396% | 37.622% | 29.820% | 31.923% | 30.835% | 24.881% |
| 8 | 28.068% | 25.822% | 40.065% | 21.575% | 27.769% | 23.257% | 29.093% | 26.086% | 22.466% |
| 16 | 25.012% | 23.235% | 1.540% | 19.715% | 18.218% | 21.353% | 26.875% | 23.875% | 20.490% |
| 32 | 18.195% | 17.035% | 0.770% | 17.885% | 16.933% | 18.661% | 21.564% | 21.985% | 17.892% |
| 64 | 15.468% | 16.065% | 0.745% | 16.040% | 15.674% | 18.185% | 18.354% | 20.815% | 17.527 % |
| 128 | 14.810% | 15.364% | 0.740% | 14.780% | 10.098% | 17.908% | 17.479% | 19.630% | 17.270% |
| 256 | 14.386% | 14.987% | 0.740% | 13.235% | 6.707% | 17.908% | 16.808% | 18.285% | 17.270% |
| 512 | 14.386% | 14.987% | 0.740% | 11.225% | 6.707% | 17.274% | 15.320% | 16.060% | 16.685% |

-Miss rate giảm khi kích thước của Cache tăng nhưng đến khi kích thươc của cache tăng quá mức độ nhất định thì miss rate tăng lên do tính cục bộ của cache .

-Tăng kích thước của cache trong một mức nhất định thì sẽ tăng hiệu suất của hệ thống nhưng nếu vượt quá kích thước nhất định thì hiệu suất của hệ thống sẽ không tăng do khoảng cách các line của cache tăng lên và làm cho thời gian tìm kiếm của cache tăng lên , miss rate sẽ tăng lên .

**PROJECT 2: ẢNH HƯỞNG CỦA KÍCH THƯỚC BLOCK ĐẾN HIỆU SUẤT HỆ THỐNG**

**Nhiệm vụ của sinh viên:**

* Thiết lập cấu hình của hệ thống với các đặc tính kiến trúc sau:
* Số lượng bộ xử lý - Processors in SMP = 1.
* Giao thức liên kết cache - Cache coherence protocol = MESI.
* Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
* Kích thước word - Word wide (bits) = 16.
* Kích thước bộ nhớ RAM = 256 KB (số lượng block trong bộ nhớ sẽ thay đổi)
* Kích thước cache = 4 KB (số line –block trong cache thay đổi)
* Ánh xạ - Mapping = Fully-Associative.
* Chính sách thay thế - Replacement policy = LRU.
* Cấu hình kích thước Block (số word/1 block) như sau: 4, 8, 16, 32, 64, 128, 256, 512, 1024.
* Với mỗi cấu hình trên, gọi các memory traces: Hydro, Nasa7, Cexp và xác định miss rate của chúng
* Lập bảng thống kê kết quả và trả lời các câu hỏi sau:
* Nếu kích thước block tăng thì miss rate tăng hay giảm? Tại sao?
* Kích thước Block nào cho hiệu suất hệ thống cao nhất đối với cả 3 chương trình trên.

|  |  |  |  |
| --- | --- | --- | --- |
| **Block size** | **Hydro** | **Nasa7** | **Cexp** |
| 4 | 32.111% | 29.650% | 43.145% |
| 8 | 28.068% | 25.822% | 40.065% |
| 16 | 25.012% | 23.235% | 1.540% |
| 32 | 18.195% | 17.035% | 0.770% |
| 64 | 15.468% | 16.065% | 0.745% |
| 128 | 14.810% | 15.364% | 0.740% |
| 256 | 14.386% | 14.987% | 0.740% |
| 512 | 14.386% | 14.987% | 0.740% |
| 1024 | 14.386% | 14.987% | 0.740% |

-Nếu kích thước của block tăng một mức nhất định thì miss rate sẽ giảm , vì nếu kích thước bộ nhớ tăng đồng nghĩa với việc số block trong cache giảm xuống ,làm cho thời gian tìm kiếm trong cache nhanh , tìm kiếm bằng tag cũng ít sai sót hơn , số word trong block cũng được truyền tối ưu hơn trong quá trình ánh xạ. Nhưng khi kích thước của block tăng quá một mức cần thiết thì miss rate sẽ lại tăng lên do có quá nhiều word trong block , hay nhiều word truyền tải từ trong main memory vào trong cache dễ bị ánh xạ sai .

-Với bảng trên thì kích thước của block mang dung lượng 256 word/Block là số size để hiệu suất hệ thống đạt cao nhất , tỉ lệ hits đạt cao nhất .

**PROJECT 3: ẢNH HƯỞNG CỦA PHƯƠNG PHÁP ÁNH XẠ ĐẾN HIỆU SUẤT HỆ THỐNG**

**Nhiệm vụ của sinh viên:**

* Thiết lập cấu hình của hệ thống với các đặc tính kiến trúc sau:
* Số lượng bộ xử lý - Processors in SMP = 1.
* Giao thức liên kết cache - Cache coherence protocol = MESI.
* Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
* Kích thước word - Word wide (bits) = 32.
* Số word trong một block = 64
* Số block trong bộ nhớ chính = 4096
* Chính sách thay thế - Replacement policy = LRU.
* Cấu hình các phương pháp ánh xạ (Mapping) khác nhau cho hệ thống: ánh xạ trực tiếp (Direct), ánh xạ kết hợp hoàn toàn (Full associative), ánh xạ tập kết hợp 2 đường (2-way set associative), ánh xạ tập kết hợp 4 đường (4-way set associative).
  + Chú ý: để thiết lập được ánh xạ 2-way set associative ta cần thiết lập số lượng block trong cache/số lượng set trong cache = 2. Tương tự, để thiết lập được ánh xạ 4-way set associative ta cần thiết lập số lượng block trong cache/số lượng set trong cache = 4
* Với mỗi cấu hình, thiết lập số lượng block trong cache sao cho ta được kích thước cache như sau: 4KB, 8KB, 16KB, 32KB.
* Gọi memory traces EAR cho các trường hợp trên và tính miss rate
* Lập bảng thống kê kết quả Miss Rate và trả lời các câu hỏi sau:
* Với mỗi phương pháp ánh xạ, miss rate tăng hay giảm khi kích thước cache tăng.
* Tổng kết, liệu phương pháp ánh xạ tập kết hợp có làm tăng hiệu suất của hệ thống. Phương pháp nào là thích hợp nhất?

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Cache size (KB) | | | |
|  | 4 KB | 8 KB | 16KB | 32KB |
| Direct | 12.340% | 7.027% | 5.934% | 4.032% |
| 2-Way Associative | 8.308% | 6.782% | 3.881% | 2.864% |
| 4-Way Associative | 6.631% | 4.823% | 2.939% | 2.468% |
| Fully-Associative | 6.537% | 5.124% | 2.393% | 2.336% |

-Với mỗi phương pháp ánh xạ thìmiss rate giảm xuống khi kích thước của cache tăng - Phương pháp ánh xạ tập kết hợp có làm tăng hiệu suất của hệ thống . Và ánh xạ kết hợp hoàn toàn là phương pháp thích hợp nhất để làm tăng hiệu suất của hệ thống .

**PROJECT 4: KIỂM TRA TÍNH CỤC BỘ (LÂN CẬN) CỦA CÁC CHƯƠNG TRÌNH KHÁC NHAU**

* Thực hiện: Cấu hình một hệ thống với các đặc tính kiến trúc như sau:
  + Số lượng bộ xử lý - Processors in SMP = 1.
  + Giao thức liên kết cache - Cache coherence protocol = MESI.
  + Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
  + Kích thước word - Word wide (bits) = 16.
  + Số word trong một block - Words by block = 16 (block size = 32 bytes).
  + Số block trong bộ nhớ chính - Blocks in main memory = 8192. Kích thước bộ nhớ chính bằng bao nhiêu? Kích thước bộ nhớ bằng 256KB
  + Ánh xạ - Mapping = Fully-Associative.
  + Chính sách thay thế - Replacement policy = LRU
* Quan sát miss rate (tỷ lệ truy xuất cache không thành công) với các memory traces: Hydro, Nasa7, Cexp, Mdljd, Ear, Comp, Wave, Swm và Ucomp
* Lập bảng thống kê số liệu và trả lời câu hỏi:
  + Liệu các chương trình có cùng mức độ cục bộ? Chương trình nào có tính cục bộ tốt nhất? Chương trình nào có tính cục bộ kém nhất?
  + Liệu cấu hình trên có khai thác được tính cục bộ của các chương trình này và tăng hiệu suất hệ thống không? Tại sao?
  + Trong quá trình chương trình thực hiện, nếu quan sát dưới dạng đồ thị, tỷ lệ miss rate giảm dần, nguyên nhân tại sao?

|  |  |
| --- | --- |
| Memory Traces | Miss Rate |
| Hydro | 15.468% |
| Nasa7 | 16.065% |
| Cexp | 0.745% |
| Ear | 15.674% |
| Comp | 18.185% |
| Swm | 20.815% |
| Ucomp | 17.527% |

-Trong các chương trình có cùng tính cục bộ thì chương trình có tính cục bộ tốt nhất là chương trình Cexp.Chương trình có tính cục bộ kém nhất là chương trình Swm.

-Cấu hình trên có thể khai thác được tính cục bộ của các chương trình và làm tăng hiệu suất của hệ thống được . Nhưng vẫn còn có thể tối ưu cấu hình hơn nữa nếu như cache size và main memory size vẫn giữ nguyên thì ta chỉ cần tăng thêm số word trong block ở một khoảng nhất định thì hiệu suất của máy sẽ được cải thiện thêm .Lí do hiệu suất của hệ thống tăng với cấu hình để bài cho là do các block trong cache giảm đi , dẫn đến tìm kiếm tag nhanh hơn , chính xác hơn .

-Trong quá trình thực hiện , nếu quan sát dưới dạng đồ thị thì tỷ lệ miss rate giảm dần do lượng block được ánh xạ từ main vào trong cache là ít , dẫn đến việc kiểm tra nhanh , block đưa vào nhiều word, tỉ lệ kiểm tra lượng word trong cache lại tăng lên, dẫn đến tỉ lệ tìm thấy word là lớn hơn , tỉ lệ không tìm thấy trong cache là giảm đi .